



产品特性

- 频率范围2.400~2.483GHz世界通用 ISM频段
- 接收灵敏度: -96.5 / -95 / -92 / -90 dBm @125K/250K /1M/2Mbps
- 最大输出功率: +8dBm
- 调制方式: GFSK
- 数据率: 125K/250K /1M/2Mbps
- 自动应答及自动重传
- 快速频道切换, 支持跳频算法
- 支持RSSI功能
- 低工作电压: 1.7V~3.6V
- 内核
 - 32位ARM® Cortex® - M0+
 - 最高48MHz工作频率
- 存储器
 - 64Kbytes flash存储器
 - 8Kbytes SRAM
- 时钟系统
 - 内部4/8/16/22.12/24MHz RC 振荡器 (HSI)
 - 内部32.768KHz RC振荡器(LSI)
- 电源管理和复位
 - 低功耗模式: Sleep和Stop
 - 上电/掉电复位 (POR/PDR)
 - 掉电检测复位 (BOR)
 - 可编程的电压检测 (PVD)
- 通用输入输出(I/O)
 - 多达23个I/O, 均可作为外部中断
 - 驱动电流8mA
- 3通道 DMA控制器
- 1 x 12-bit ADC
 - 支持 最多8个外部输入通道
 - 输入电压转换范围: 0~VCC
- 定时器
 - 1个16bit高级控制定时器 (TIM1)
 - 4个通用的16位定时器 (TIM3/TIM14/TIM16/TIM17)
 - 1 个低功耗定时器(LPTIM), 支持从 stop模式唤醒
 - 1 个独立看门狗定时器 (IWDT)
 - 1 个窗口看门狗定时器 (WWDT)
 - 1 个SysTick timer
 - 1 个IRTIM
- RTC
- 通讯接口
 - 1个串行外设接口(SPI)
 - 2 个通用同步/异步收发器(USART), 支持自动波特率检测
 - 1 个I2C接口, 支持标准模式 (100kHz)、快速模式 (400kHz), 支持7 位寻址模式
- 硬件CRC-32模块
- 2个比较器
- 唯一UID
- 串行单线调试 (SWD)
- 32引脚 4*4 QFN 封装



目录

产品特性	1
1 概述	4
2 功能特点	4
2.1 RF 芯片特性	4
2.2 MCU 特性	5
3 应用领域	6
4 RF 主要电特性	7
4.1 极限最大额定值	9
5 系统方框图	9
6 引脚定义	10
6.1 引脚图	10
6.2 引脚功能	11
6.3 MCU 与 RF 通讯接口	12
6.4 烧录下载说明	13
7 RF 芯片工作状态	14
7.1 休眠模式	16
7.2 待机模式-I (STB1)	16
7.3 待机模式-III (STB3)	16
7.4 待机模式-II (STB2)	16
7.5 接收模式	17
7.6 发射模式	17
8 数据通信模式	17
8.1 普通模式	18
8.2 增强模式	19
8.3 增强发送模式	20
8.4 增强接收模式	20
8.5 增强模式下的数据包识别	21
8.6 增强模式下的接收端一对多通信	21
8.7 中断引脚	24
9 SPI 控制接口	24



10	控制寄存器.....	25
11	数据包格式描述	26
12	处理器功能概述	27
12.1	Arm® Cortex®-M0+ 内核.....	27
12.2	存储器	27
12.3	时钟系统.....	28
12.4	电源管理	30
12.4.1	电源框图.....	30
12.4.2	电源监控.....	31
12.4.3	复位.....	33
12.4.4	通用输入输出 GPIO.....	34
12.4.5	DMA.....	34
12.4.6	中断.....	34
12.4.7	模数转换器 ADC.....	36
12.4.8	比较器(COMP).....	36
12.4.9	定时器.....	37
12.4.10	实时时钟 RTC.....	41
12.4.11	I2C 接口.....	41
12.4.12	通用同步异步收发器 USART.....	42
12.4.13	串行外设接口 SPI.....	44
13	典型应用电路	45
14	封装信息	46



1 概述

本芯片是一款高性能低功耗的SOC集成无线收发芯片，集成M0核MCU，工作在2.400~2.483GHz世界通用ISM频段。该芯片集成了射频接收器、射频发射器、频率综合器、GFSK调制器、GFSK解调器等功能模块，并且支持一对多线网和带ACK的通信模式。发射输出功率、工作频率以及通信数据率均可配置。芯片已将多颗外围贴片阻容感器件集成到芯片内部。容易过FCC等认证。

芯片内含 32 位 ARM® Cortex®-M0+内核 MCU，宽电压工作范围的 MCU。嵌入高达 64Kbytes flash 和 8Kbytes SRAM 存储器，最高工作频率 48MHz。包含多种不同封装类型多款产品。芯片集成多路 I2C、SPI、USART 等通讯外设，1 路 12bit ADC，5 个 16bit 定时器，以及 2 路比较器。

2 功能特点

2.1 RF 芯片特性

- 频率范围2.400~2.483GHZ
- 功耗较低
- 发射模式（0dBm）工作电流13.7mA；接收模式工作电流12.3mA；休眠电流小于2uA。
- 节省外围器件
 - 支持外围4个元器件，包括1颗晶振和3个贴片电容；
 - 支持双层或单层印制板设计，可以使用印制板微带天线；
 - 芯片自带部分链路层的通信协议；配置少量的参数寄存器，使用方便。
- 性能优异
 - 125K / 250K / 1M / 2M bps模式的接收灵敏度为-96.5 / -95 / -92 / -90dBm；
 - 发射输出功率最大可达8dBm；
 - 抗干扰性好，接收滤波器的邻道抑制度高，接收机选择性好。容易过FCC等认证。
- 支持最大数据长度为128字节（4级FIFO）



- 1M / 2Mbps模式, 需要晶振精度 $\pm 40\text{ppm}$ & $\text{CL}=12\text{pF}$
 - 125K/250kbps模式, 需要晶振精度 $\pm 20\text{ppm}$ & $\text{CL}=12\text{pF}$
 - BLE广播包模式, 需要晶振精度 $\pm 10\text{ppm}$ & $\text{CL}=12\text{pF}$
- GFSK通信方式
- 支持自动应答及自动重传

2.2 MCU 特性

- 内核
 - 32位ARM® Cortex® - M0+
 - 最高32MHz工作频率
- 存储器
 - 最大64Kbytes flash存储器
 - 最大8Kbytes SRAM
- 时钟系统
 - 内部4/8/16/22.12/24MHz RC 振荡器(HSI)
 - 内部32.768KHz RC振荡器(LSI)
 - 4~32MHz晶体振荡器(HSE)
- 电源管理和复位
 - 低功耗模式: Sleep和Stop
 - 上电/掉电复位 (POR/PDR)
 - 掉电检测复位 (BOR)
 - 可编程的电压检测 (PVD)
- 通用输入输出(I/O)
 - 多达18个I/O, 均可作为外部中断
 - 驱动电流8mA
- 3通道 DMA控制器
- 1 x 12-bit ADC
 - 支持 最多10个外部输入通道
 - 输入电压转换范围: 0~VCC
- 定时器
 - 1个16bit高级控制定时器 (TIM1)
 - 4个通用的16位定时器 (TIM3/TIM14/TIM16/TIM17)
 - 1 个低功耗定时器(LPTIM), 支持从stop模式唤醒
 - 1 个独立看门狗定时器 (IWDG)



- 1 个窗口看门狗定时器 (WWDT)
- 1 个SysTick timer
- 1 个IRTIM
- RTC
- 通讯接口
- 1个串行外设接口(SPI)
- 2 个通用同步/异步收发器(USART), 支持自动波特率检测
- 1 个I2C接口, 支持标准模式 (100kHz)、快速模式 (400kHz), 支持7 位寻址模式
- 硬件CRC-32模块
- 2个比较器
- 唯一UID
- 串行单线调试 (SWD)
- 32 引脚 4*4 QFN 封装
- 工作电压支持1.7~3.6V;
- 工作温度支持-40~+85°C

3 应用领域

- ◆ 无线鼠标键盘
- ◆ 无线游戏手柄
- ◆ 有源无线标签
- ◆ 电视和机顶盒遥控器
- ◆ 遥控玩具
- ◆ 智能家居及安防系统



4 RF 主要电特性

特 性	测试条件(VCC = 3V±5%, TA=25°C)	参数值			单位
		最小	典型	最大	
ICC	休眠模式		2		uA
	待机模式 1		24.2		uA
	待机模式 2		1.18		mA
	发射模式 (-24dBm)		9		mA
	发射模式 (-18dBm)		9.5		mA
	发射模式 (0dBm)		13.7		mA
	发射模式 (2dBm)		17		mA
	发射模式 (8dBm)		25		mA
	接收模式 (250Kbps)		12.3		mA
	接收模式 (1Mbps)		12.3		mA
	接收模式 (2Mbps)		12.3		mA
系统指标					
f _{OP}	工作频率	2400		2483	MHz
PLL _{res}	锁相环频率步进		1		MHz
f _{XTAL}	晶振频率, 负载电容 12pF		16		MHz
DR	码率	0.125		2	Mbps
Δf _{250K}	调制频偏@250Kbps		160	250	KHz
Δf _{1M}	调制频偏@1Mbps		160	250	KHz
Δf _{2M}	调制频偏@2Mbps		320		KHz
FCH _{250k}	频道间隔@250Kbps		1		MHz
FCH _{1M}	频道间隔@1Mbps		1		MHz
FCH _{2M}	频道间隔@2Mbps		2		MHz
发射模式指标					
PRF	典型输出功率		0		dBm
PRFC	输出功率范围	-24		8	dBm
PBW1	发射带数据调制的 20dB 带宽 (250Kbps)		1		MHz
PBW2	发射带数据调制的 20dB 带宽 (1Mbps)		1		MHz
PBW3	发射带数据调制的 20dB 带宽 (2Mbps)		2		MHz



接收模式指标 (注 1)					
RX _{max}	误码率 < 0.1% 时的最大接收幅度		0		dBm
RXSENS1	接收灵敏度 (0.1%BER) @125 Kbps		-96.5		dBm
RXSENS2	接收灵敏度 (0.1%BER) @250 Kbps		-95		dBm
RXSENS3	接收灵敏度 (0.1%BER) @1Mbps		-92		dBm
RXSENS4	接收灵敏度 (0.1%BER) @2Mbps		-90		dBm
接收模式邻道选择性					
C/I _{CO}	同频的通道选择性@250kbps		2		dBc
C/I _{1ST}	第 1 相邻道选择性@250kbps		-8		dBc
C/I _{2ND}	第 2 相邻道选择性@250kbps		-18		dBc
C/I _{3RD}	第 3 相邻道选择性@250kbps		-24		dBc
C/I _{4TH}	第 4 相邻道选择性@250kbps		-28		dBc
C/I _{5TH}	第 5 相邻道选择性@250kbps		-32		dBc
C/I _{6TH}	第 6 相邻道选择性@250kbps		-35		dBc
C/I _{CO}	同频的通道选择性@1Mbps		10		dBc
C/I _{1ST}	第 1 相邻道选择性@1Mbps		1		dBc
C/I _{2ND}	第 2 相邻道选择性@1Mbps		-18		dBc
C/I _{3RD}	第 3 相邻道选择性@1Mbps		-23		dBc
C/I _{4TH}	第 4 相邻道选择性@1Mbps		-28		dBc
C/I _{5TH}	第 5 相邻道选择性@1Mbps		-32		dBc
C/I _{6TH}	第 6 相邻道选择性@1Mbps		-35		dBc
C/I _{CO}	同频的通道选择性@2Mbps		10		dBc
C/I _{1ST}	第 1 相邻道选择性@2Mbps		-6		dBc
C/I _{2ND}	第 2 相邻道选择性@2Mbps		-10		dBc
C/I _{3RD}	第 3 相邻道选择性@2Mbps		-22		dBc
C/I _{4TH}	第 4 相邻道选择性@2Mbps		-28		dBc
C/I _{5TH}	第 5 相邻道选择性@2Mbps		-34		dBc
操作条件					
VDD	供电电压	1.7	3	3.6	V
VSS	芯片地		0		V
V _{OH}	高电平输出电压	VDD-0.3		VDD	V
V _{OL}	低电平输出电压	VSS		VSS+0.3	V
V _{IH}	高电平输入电压	VDD-0.3		VDD	V
V _{IL}	低电平输入电压	VSS		VSS+0.3	V

* 注 1: 在晶振 16MHz 的整数倍 (如 2416、2432MHz 等) 的频道及相邻正负 1MHz 的频道的接收灵敏度退化 2dB; 发射信号调制精度 (EVM) 退化 10%。请使用我们建议信道。



4.1 极限最大额定值

特性	条件	参数值			单位
		最小	典型	最大	
最大额定值					
V _{DD}	供电电压	-0.3		3.6	V
V _I	输入电压	-0.3		3.6	V
V _O	输出电压	V _{SS}		V _{DD}	
P _d	总功耗 (TA=-40°C~85°C)			300	mW
T _{OP}	工作温度	-40		85	°C
T _{STG}	存储温度	-40		85	°C

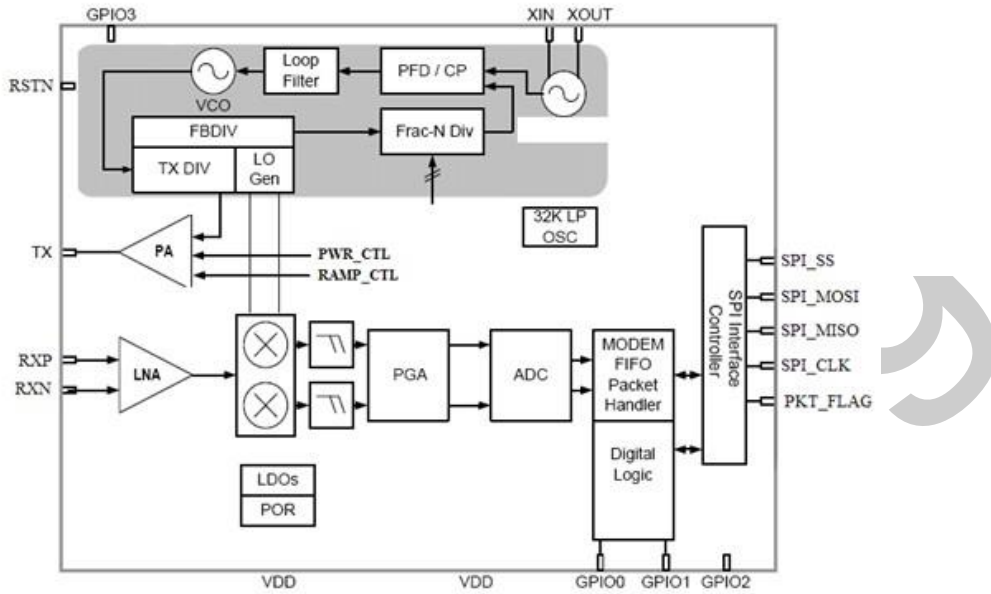
注：1、使用中强行超过一项或多项极限最大额定值会导致器件永久性损坏。

2、静电敏感器件，操作时遵守防护规则。

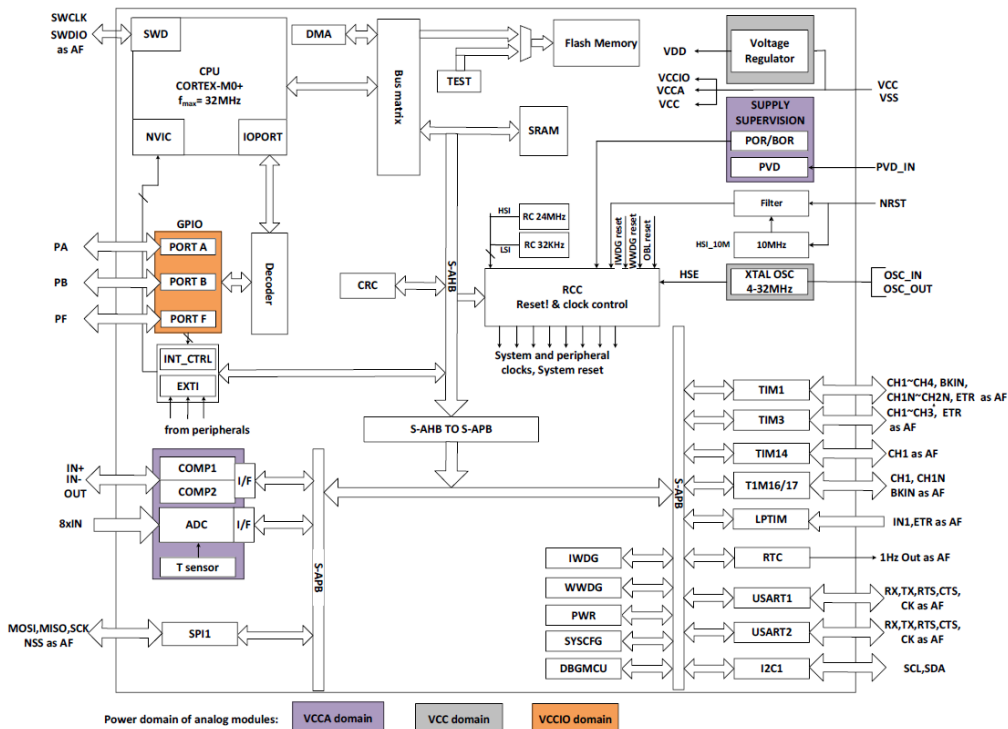


5 系统方框图

RF



MCU





6 引脚定义

6.1 引脚图

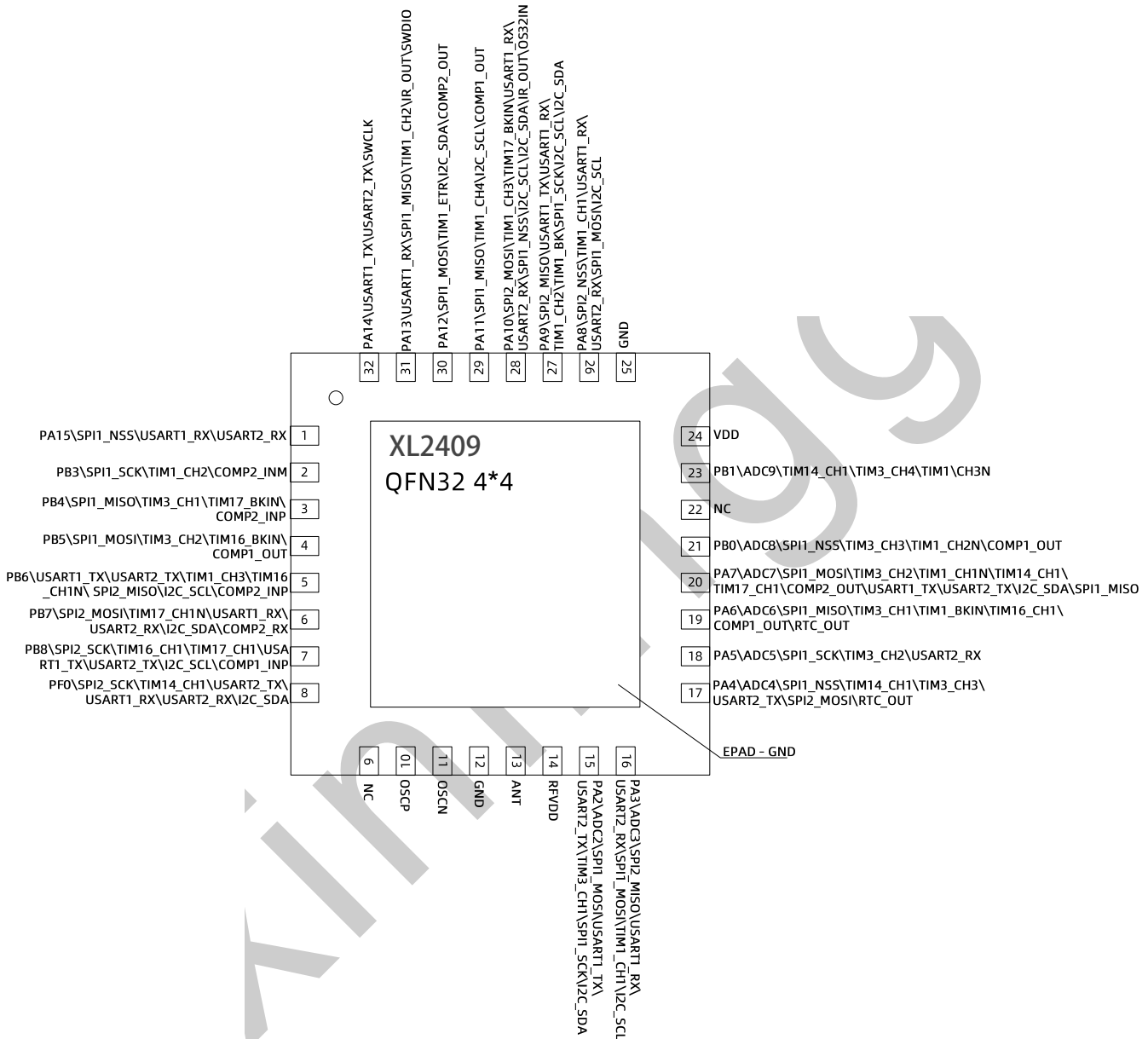


图7.1 QFN32引脚图



6.2 引脚功能

表5.1 QFN32 引脚功能说明

序号	Pin Name	Type	Description
1	PA15	I/O	SPI1_NSS\USART1_RX\USART2_RX
2	PB3	I/O	SPI1_SCK\TIM1_CH2\COMP2_INM
3	PB4	I/O	SPI1_MISO\TIM3_CH1\TIM17_BKIN\COMP2_INP
4	PB5	I/O	SPI1_MOSI\TIM3_CH2\TIM16_BKIN\COMP1_OUT
5	PB6	I/O	USART1_TX\USART2_TX\TIM1_CH3\TIM16_CH1N\ \SPI2_MISO\I2C_SCL\COMP2_INP
6	PB7	I/O	SPI2_MOSI\TIM17_CH1N\USART1_RX\ USART2_RX\I2C_SDA\COMP2_RX
7	PB8	I/O	SPI2_SCK\TIM16_CH1\TIM17_CH1\USART1_TX\ USART2_TX\I2C_SCL\COMP1_INP
8	PF0	I/O	SPI2_SCK\TIM14_CH1\USART2_TX\ USART1_RX\USART2_RX\I2C_SDA
9	NC	NC	NC
10	OSCP	I/O	晶振脚
11	OSCN	I/O	晶振脚
12	GND	GND	地
13	ANT	O	天线
14	RFVDD	VDD	射频电源
15	PA2	I/O	ADC2\SPI1_MOSI\USART1_TX\USART2_TX\ TIM3_CH1\SPI1_SCK\I2C_SDA
16	PA3	I/O	ADC3\SPI2_MISO\USART1_RX\USART2_RX\ SPI1_MOSI\TIM1_CH1\I2C_SCL
17	PA4	I/O	ADC4\SPI1_NSS\TIM14_CH1\TIM3_CH3\USART2_TX\ SPI2_MOSI\RTC_OUT
18	PA5	I/O	ADC5\SPI1_SCK\TIM3_CH2\USART2_RX
19	PA6	I/O	ADC6\SPI1_MISO\TIM3_CH1\TIM1_BKIN\TIM16_CH1\ COMP1_OUT\RTC_OUT
20	PA7	I/O	ADC7\SPI1_MOSI\TIM3_CH2\TIM1_CH1N\ TIM14_CH1\TIM17_CH1\ COMP2_OUT\USART1_TX\USAR



21	PB0	I/O	ADC8\SPI1_NSS\TIM3_CH3\TIM1_CH2N\COMP1_OUT
22	NC	NC	NC
23	PB1	I/O	ADC9\TIM14_CH1\TIM3_CH4\TIM1\CH3N
24	VDD	VDD	电源VDD
25	GND	GND	地
26	PA8	I/O	SPI2_NSS\TIM1_CH1\USART1_RX\USART2_RX\
27	PA9	I/O	SPI2_MISO\USART1_TX\USART1_RX\TIM1_CH2\TIM1_BK\SPI1_SCK\I2C_SCL\I2C_SDA
28	PA10	I/O	SPI2_MOSI\TIM1_CH3\TIM17_BKIN\USART1_RX\USART2_RX\SPI1_NSS\I2C_SCL\I2C_SDA\IR_OUT\OS32
29	PA11	I/O	SPI1_MISO\TIM1_CH4\I2C_SCL\COMP1_OUT
30	PA12	I/O	SPI1_MOSI\TIM1_ETR\I2C_SDA\COMP2_OUT
31	PA13	I/O	USART1_RX\SPI1_MISO\TIM1_CH2\IR_OUT\SWDIO
32	PA14	I/O	USART1_TX\USART2_TX\SWCLK
33	GND	GND	EPAD - GND

Note :

- (1) 复位后, PA13 和 PA14 两个 pin 被配置为 SWDIO 和 SWCLK AF 功能, 前者内部上拉电阻、后者内部下拉电阻被激活。
- (2) PB7脚应用时, 注意不要用在数据通讯或接收处理上, 容

6.3 MCU 与 RF 通讯接口

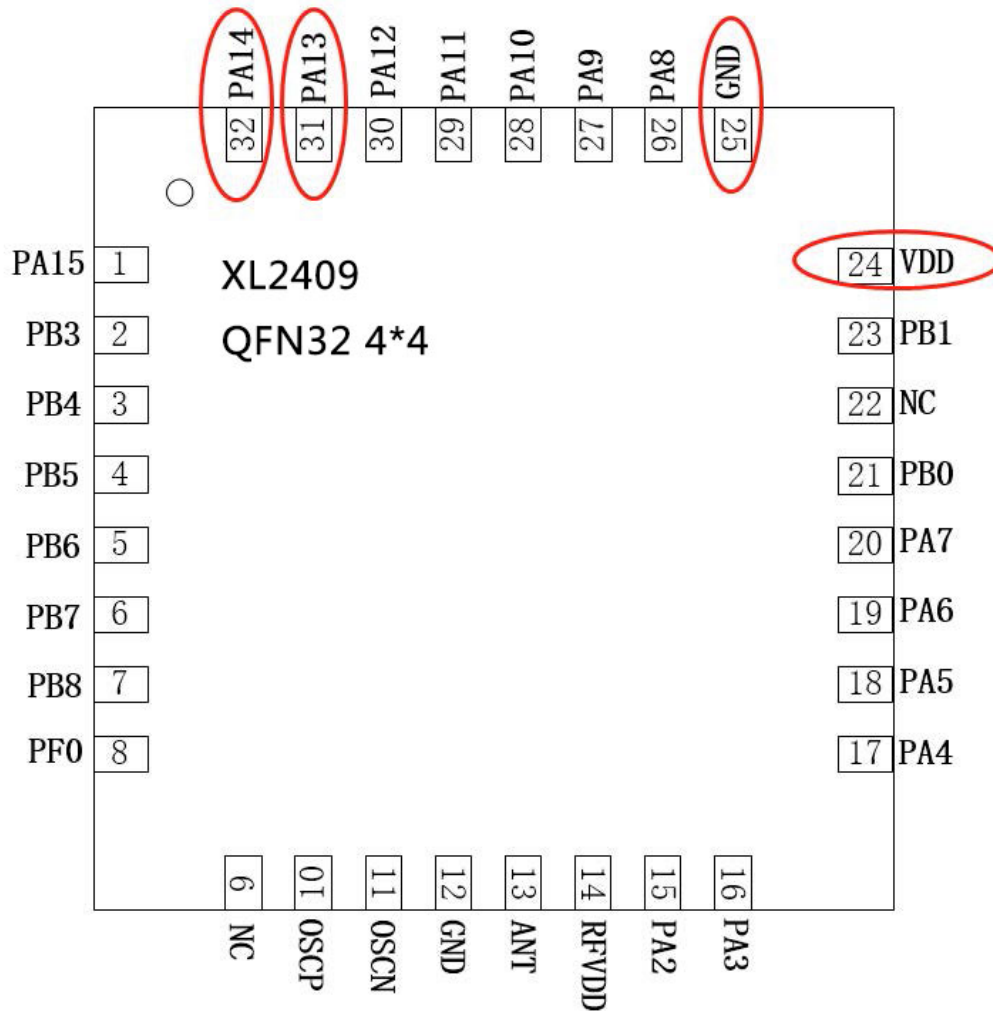
内部连线参考

引脚名	相连位置
SD0	PF1
SDI	PF3
SCK	PA0
CSN	PA1



6.4 烧录下载说明

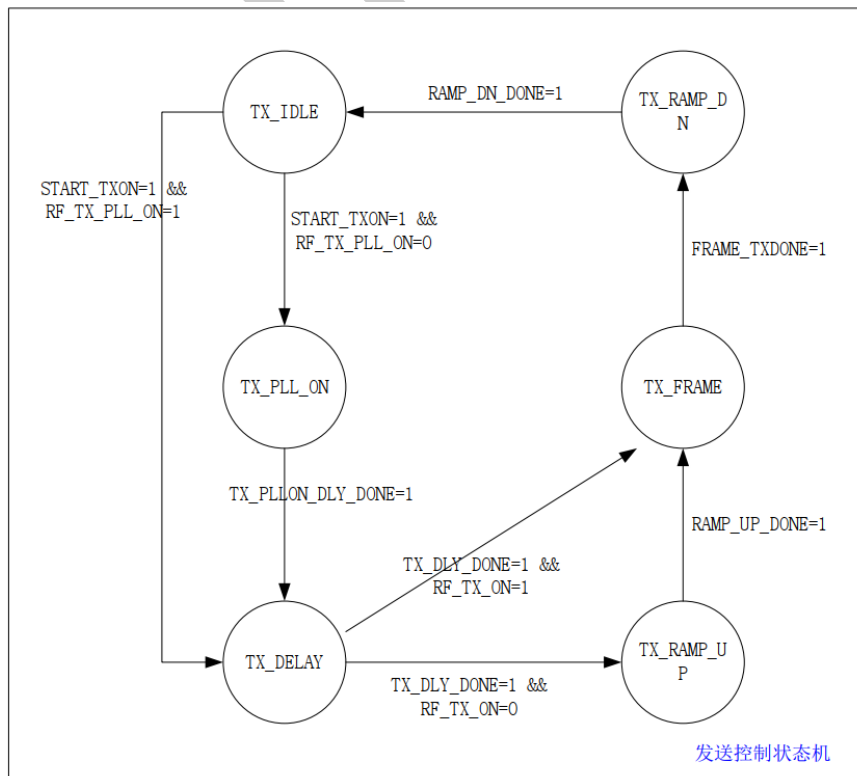
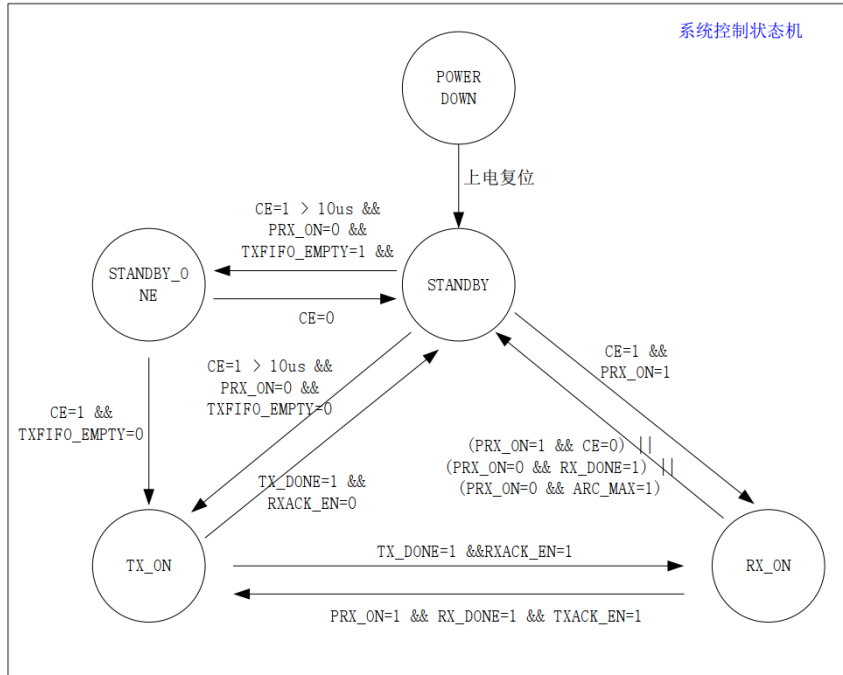
SWD接口, PA13\PA14 支持SWD仿真与下载。

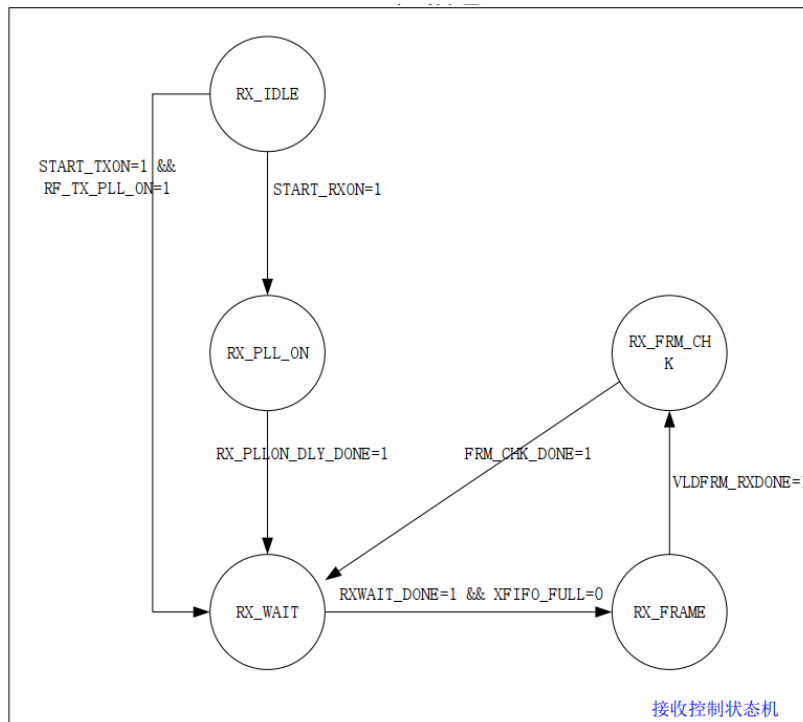




7 RF 芯片工作状态

本章描述 XL2409 芯片的各种工作模式，以及用于控制芯片进入各工作模式的方法。XL2409 芯片自带状态机受控于芯片内部寄存器的配置值和外部引脚信号。





如上所示，XL2409 工作状态图，表示 5 种工作模式之间的跳变。XL2409 在 VDD 大于 1.7V 才开始正常工作。即使进入休眠模式，MCU 还是可以通过 SPI 发送配置命令及 CE 管脚使芯片进入其它 5 种状态。

如上所示，系统包括 5 个主要状态，分别如下：

1. POWER DOWN。数字系统断电状态。
2. STANDBY。系统上电后自动进入该状态。
3. STANDBY ONE。当配置为 PTX 器件，且 CE=1 持续时间大约 10us，且 TXFIFO 中没有数据，系统进入该状态，等待发送数据。
4. TX ON。当配置为 PTX 器件，且 CE=1 持续时间大约 10us，且 TXFIFO 中有数据，系统进入该状态。在该状态下完成数据的发送处理，系统会启动发送控制状态机进行工作，直到数据发送完成。若配置自动 ACK 接收，则系统会进入 RX ON 状态开始接收 ACK。
5. RX ON。当配置为 PRX 器件，且 CE=1 时，系统进入该状态。在该状态下完成数据的接收处理，系统会启动接收控制状态机进行工作，直到接收到一个帧。当配置自动 ACK 发送，则系统会就进入 TX



ON 状态发送 ACK。若 PTX 器件有效，且自动 ACK 接收使能，则还会启动发送重传。

7.1 休眠模式

在休眠模式下，XL2409 所有功能关闭，保持电流消耗最小。进入休眠模式后，XL2409 停止工作，但寄存器内容保持不变。休眠模式由寄存器中 PWR_UP 位控制。

7.2 待机模式-I (STB1)

在待机模式-I 下，芯片维持晶振振荡但不输出给其它模块，其余功能模块均关闭，消耗电流较小。在休眠模式下，通过配置寄存器 PWR_UP 的值为 1，芯片即可进入待机模式-I。而处于发射或接收模式时，可以通过配置 CE 和 EN_PM 控制信号为 0，芯片返回到待机模式-I。

7.3 待机模式-III (STB3)

在待机模式-I 时，配置 EN_PM 控制信号为 1，芯片进入到待机模式-III。待机模式-III 主要目的是使得芯片的电源管理模块启动和输出 16M 高速时钟。

7.4 待机模式-II (STB2)

收送端 TX FIFO 寄存器为空并且 CE 引脚置 1，进入待机模式-II (待机模式-II 通常可以理解为预备发射模式)。此时，晶振有较强的输出驱动能力且芯片的电源管理模块开启。待机模式-II 下，如果有数据包送入 TX FIFO，此时芯片内部锁相环立刻启动工作并且经过一段锁相环的锁定时间后，发射机将数据包发射出去。



7.5 接收模式

当 PWR_UP、PRIM-RX、EN_PM、CE 置 1 时，进入接收模式。

在 RX 模式下，射频部分接收从天线来的信号，将其放大、下变频、滤波和解调，根据地址、校验码、数据长度等，判断是否收包有效，有效收包上传 RX FIFO，上报中断。如果 RX FIFO 是满的，接收的数据包就会被丢弃。

7.6 发射模式

当 PWR_UP、EN_PM 置 1，PRIM-RX 置 0，CE 置 1，且 TX FIFO 中存在有效数据，进入发射模式。

XL2409 在数据包发送完之前都会保持在发送模式。发送完成后，返回到待机模式。XL2409 支持连续发包和发长包模式。

8 数据通信模式

XL2409 芯片搭配 MCU 来共同完成通信功能。链路层，如数据组帧、校验、地址判断、数据白化的扰码、数据重传和 ACK 响应等处理是由芯片内部完成的，无需 MCU 参与。

XL2409 芯片可配置为四个不同的 RX FIFO 寄存器（32 字节）或者一个 RX FIFO 寄存器（128 字节）（6 个接收通道共享）、四个不同的 TX FIFO 寄存器（32 字节）或者一个 TX FIFO 寄存器（128 字节）。在休眠模式和待机模式下，MCU 可以访问 FIFO 寄存器。

XL2409 芯片主要有二种数据通信模式：

- 不带自动重传不带 ACK 的通信模式（后简称为普通模式），发射端可以使用命令有

W_TX_PAYLOAD, REUSE_TX_PL 等；



- 带自动重传带 ACK 的通信模式（后简称为增强模式），发射端可以使用命令有 W_TX_PAYLOAD, W_TX_PAYLOAD_NOACK, REUSE_TX_PL 等；接收端可以使用命令有 W_ACK_PAYLOAD 等；

普通模式

通信名称	普通模式	
通信方	PTX	PRX
特点	单向发送	单向接收
收送数据的组帧方式	I	无
开启 REUSE_TX_PL 命令	重复发送前一包数据	无

增强模式

通信名称	增强模式	
通信方	PTX	PRX
特点	发送数据后，等待接收 ACK	接收数据后，回收送 ACK
发送数据的组帧方式	发送数据组帧方式 II	回发送 ACK 组帧方式 III
PTX 使用 REUSE_TX_PL 命令	重复发送前一包数据	每收到一包，回发送 ACK
PTX 使用 W_TX_PAYLOAD 命令 PRX 使用 W_ACK_PAYLOAD 命令	发送数据后，等待接收 ACK PAYLOAD	接收数据后，回发送 ACK PAYLOAD，组帧方式 II
PTX 使用 W_TX_PAYLOAD_NOACK 命令	发送一次数据，不等 ACK，组帧方式 II	接收数据，不回 ACK

8.1 普通模式

普通模式下，发送端从 TX FIFO 寄存器中取出数据并且发送，发送完成后上报中断（中断需要清除），同时 TX FIFO 寄存器清除该数据（TX FIFO 需要清空）；接收端接收到有效的地址和数据时上报中断通知 MCU，随后 MCU 可将该数据从 RX FIFO 寄存器中读出（TXFIFO 和 RX FIFO 需要清空，中断需要清除）。



普通模式，(0X01) EN_AA 寄存器置 0X00，(0X04) SETUP_RETR 寄存器置 0X00，(0X1C) DYNPD

寄存器置 0X00，(0X1D) FEATURE 寄存器的低 3 bit 置 000。

8.2 增强模式

增强模式下，把主动发起通信的一方称为 PTX（主发端），把接收数据并响应的一方称为 PRX（主收端）。PTX 发出数据后等待应答信号，PRX 接收到有效数据后回应答信号。PTX 规定时间内未收到应答信号，自动重新发送数据。自动重传和自动应答功能为 XL2409 芯片自带，无需 MCU 参与。

PTX 在发送数据后自动转到接收模式等待应答信号。如果没有在规定时间内收到正确的应答信号，PTX 将重发相同的数据包，直到收到应答信号，或传输次数超过 ARC 的值 (SETUP_RETR 寄存器) 产生 MAX_RT 中断。PTX 收到应答信号，即认为数据已经发送成功 (PRX 收到有效数据)，清除 TX FIFO 中的数据并产生 TX_DS 中断 (TX FIFO 和 RX FIFO 需要清空，中断需要清除)。

PRX 每次收到一包有效数据都会回 ACK 应答信号，该数据如果为新数据 (PID 值与上一包数据不同) 保存到 RX FIFO，否则就丢弃。

增强模式，需要保证 PTX 的 TX 地址 (TX_ADDR)、通道 0 的 RX 地址 (如 RX_ADDR_P0)，以及 PRX 的 RX 地址 (如 RX_ADDR_P5) 三者相同。例：在图 5 中，PTX5 对应 PRX 的数据通道 5，地址设置如下：

PTX5: TX_ADDR=0xC2C3C4C5C1

PTX5: RX_ADDR_P0=0xC2C3C4C5C1

RX: RX_ADDR_P5=0xC2C3C4C5C1

增强模式有如下特征：

- 减少 MCU 的控制，简化软件操作；
- 抗干扰能力强，减少无线传输中因瞬间同频干扰造成的丢包，更易开发跳频算法；
- 重传过程中，减少 MCU 通过 SPI 接口的每次写入待发送数据的操作时间。



8.3 增强发送模式

- 1、CE 置 0，CONFIG 寄存器的 PRIM_RX 位先置 0。
- 2、当发送数据时，发送地址 (TX_ADDR) 和有效数据 (TX_PLD) 通过 SPI 接口按字节写入地址寄存器和 TX FIFO。CSN 引脚为低时，数据写入，CSN 引脚再次为高，数据完成写入。
- 3、CE 从 0 置 1，启动发射 (CE 至少持续置 1 在 30us 以上，该操作生效)。
- 4、自动应答模式下 (SETUP_RETR 寄存器置不为 0，ENAA_P0=1)，PTX 发送完数据后立即自动将通道 0 切换到接收模式等待应答信号。如果在有效应答时间范围内收到 ACK 应答信号，则认为数据发送成功，状态寄存器的 TX_DS 位置 1 并自动清除 TX FIFO 中的数据。如果在设定时间范围内没有接收到应答信号，则自动重传数据。
- 5、如果自动传输计数器 (ARC_CNT) 溢出 (超过了设定值)，则状态寄存器的 MAX_RT 位置 1，不清除 TX FIFO 中的数据。当 MAX_RT 或 TX_DS 为 1 时，IRQ 引脚产生低电平中断 (需要使能相应中断)。中断可以通过写状态寄存器来复位。
- 6、数据包丢失计数器 (PLOS_CNT) 在每次产生 MAX_RT 中断后加一。自动传输计数器 ARC_CNT 统计重发数据包的次数；数据包丢失计数器 PLOS_CNT 统计在达到最大允许传输次数时仍没有发送成功的数据包个数。
- 7、产生 MAX_RT 或 TX_DS 中断后，系统进入待机模式。

8.4 增强接收模式

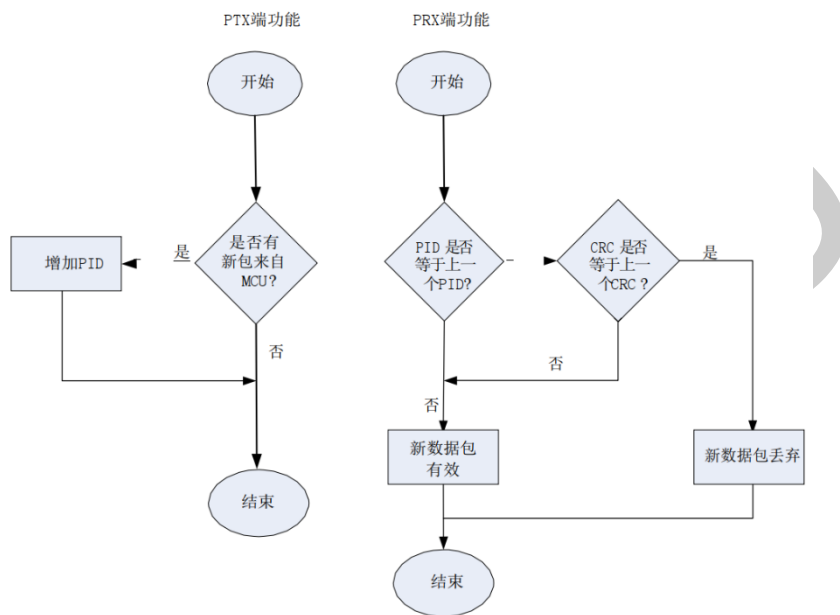
- 1、CE 置 0，CONFIG 寄存器的 PRIM_RX 位先置 1。准备接收数据的通道必须被使能 (EN_RXADDR 寄存器)，所有工作在增强型通信模式下的数据通道的自动应答功能是由 EN_AA 寄存器来使能的，有效数据宽度是由 RX_PW_PX 寄存器来设置的。
- 2、接收模式由设置 CE 为 1 启动。
- 3、预设的等待时间后，PRX 开始检测无线信号。
- 4、接收到有效的数据包后，数据存储于 RX_FIFO 中，同时 RX_DR 位置 1，产生中断。状态寄存器中



RX_P_NO 位显示数据是由哪个通道接收到的。

- 5、自动收送 ACK 应答信号。
- 6、如果 CE 保持为 1，继续进入接收模式；如果 CE 置为 0，则进入待机模式-III；
- 7、MCU 以合适的速率通过 SPI 口将数据读出。

8.5 增强模式下的数据包识别



PID 生成和检测

每一包数据都包括两位的 PID（数据包标志位），来帮助接收端识别该数据是新数据包还是重发的数据包，防止多次存入相同的数据包，PID 的生成和检测如图所示。发送端从 MCU 取得一包新数据后 PID 值加一。

8.6 增强模式下的接收端一对多通信

XL2409 芯片作为发射端，对于一对多通信，可以采用不同的地址与多个接收端进行通信。

XL2409 芯片作为接收端，可以接收 6 路不同地址、相同频率的发送端数据。每个数据通道拥有自己的地址。



使能哪些数据通道是通过寄存器 EN_RXADDR 来设置的。每个数据通道的地址是通过寄存器 RX_ADDR_PX 来配置的。通常情况下不允许不同的数据通道设置完全相同的地址。如下表给出了一例多接收通道地址配置的示例。

	Byte 4	Byte 3	Byte 2	Byte 1	Byte 0
Data pipe 0(RX_ADDR_P0)	0xF1	0xD2	0xE6	0xA2	0x33
Data pipe 1(RX_ADDR_P1)	0xD3	0xD3	0xD3	0xD3	0xD3
	↓	↓	↓	↓	
Data pipe 2(RX_ADDR_P2)	0xD3	0xD3	0xD3	0xD3	0xD4
	↓	↓	↓	↓	
Data pipe 3(RX_ADDR_P3)	0xD3	0xD3	0xD3	0xD3	0xD5
	↓	↓	↓	↓	
Data pipe 4(RX_ADDR_P4)	0xD3	0xD3	0xD3	0xD3	0xD6
	↓		↓	↓	
Data pipe 5(RX_ADDR_P5)	0xD3	0xD3	0xD3	0xD3	0xD7

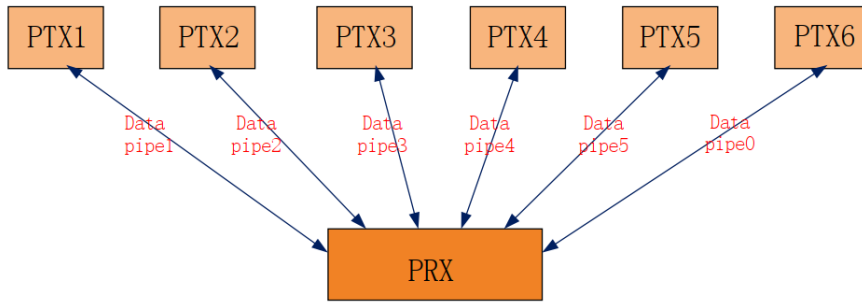
从表中可以看出数据通道 0 的 5byte 总共 40 位的地址都是可配的；数据通道 1~5 的地址配置为 32 位共用地址（不数据通道 1 共用）+8 位各自的地址（最低字节）。

XL2409 芯片在接收模式下可以最多 6 路不同通道通信, 如图所示。每一个数据通道使用不同的地址, 共用相同的频道。所有的发射端和接收端设置为增强模式。

PRX 在接收到有效数据后记录 PTX 的 TX 地址, 并以此地址为目标地址发送应答信号。PTX 数据通道 0 被用做接收应答信号时, 数据通道 0 的 RX 地址要与 TX 地址相等以确保接收到正确的应答信号。下图给出了 PTX 和 PRX 地址如何配置的例子。



TX_ADDR:0XC2C3C4C5E2	TX_ADDR:0XC2C3C4C5EF	TX_ADDR:0XC2C3C4C5E4	TX_ADDR:0XC2C3C4C5D1	TX_ADDR:0XC2C3C4C5C1	TX_ADDR:0XCF3E410F02
RX_ADDR:0XC2C3C4C5E2	RX_ADDR:0XC2C3C4C5EF	RX_ADDR:0XC2C3C4C5E4	RX_ADDR:0XC2C3C4C5D1	RX_ADDR:0XC2C3C4C5C1	RX_ADDR:0XCF3E410F02

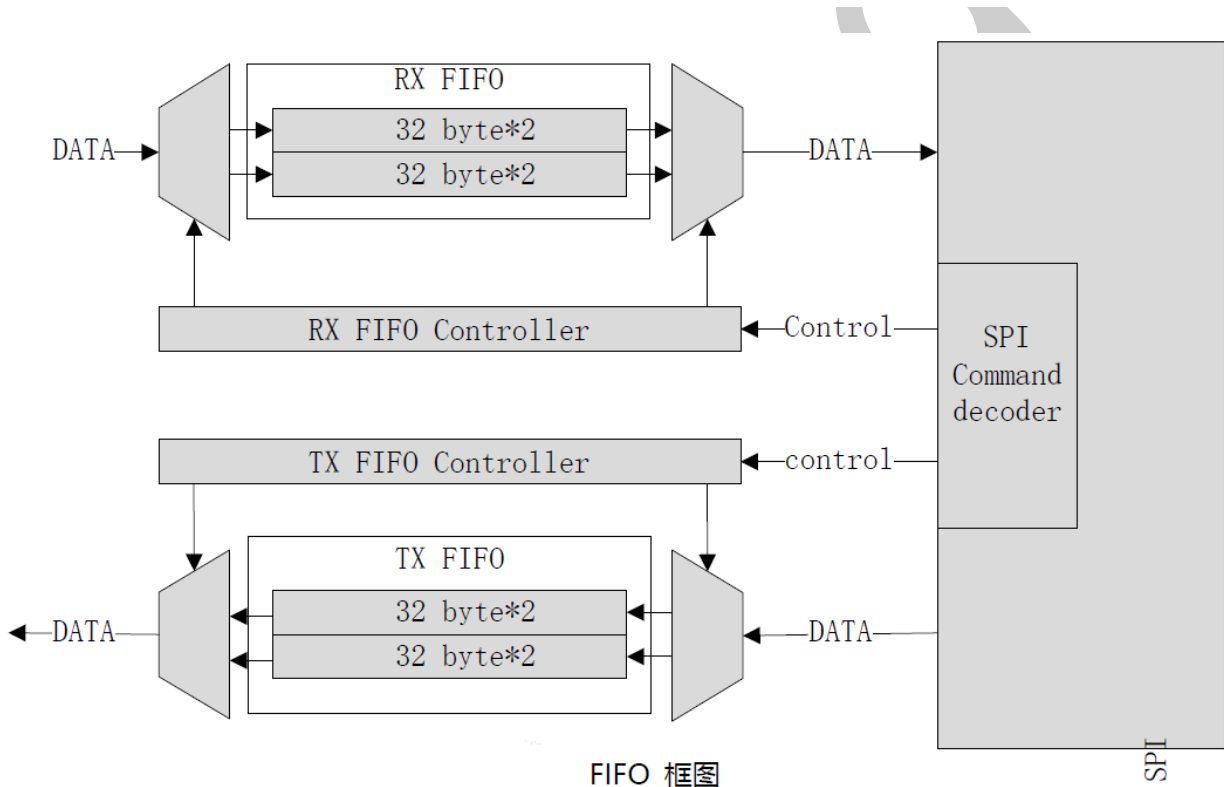


```

Addr Data Pipe 0 (RX_ADDR_P0) 0XCF3E410F02
Addr Data Pipe 5 (RX_ADDR_P5) 0XC2C3C4C5C1
Addr Data Pipe 4 (RX_ADDR_P4) 0XC2C3C4C5D1
Addr Data Pipe 3 (RX_ADDR_P3) 0XC2C3C4C5E4
Addr Data Pipe 2 (RX_ADDR_P2) 0XC2C3C4C5EF
Addr Data Pipe 1 (RX_ADDR_P1) 0XC2C3C4C5E2

```

多通道数据传输应答地址示例



FIFO 框图

XL2409 包含发送 TX_FIFO, RX_FIFO。通过 SPI 命令可读写 FIFO。在发送模式下通过 W_TX_PAYLOAD 和 W_TX_PAYLOAD_NO_ACK 指令来写 TX_FIFO。如果产生 MAX_RT 中断，在 TX_FIFO 中的数据不会被清除。在接收模式下通过 R_RX_PAYLOAD 指令读取 RX_FIFO 中的 payload，R_RX_PL_WID 指令读取 payload 的长度。FIFO_STATUS 寄存器指示 FIFO 的状态。



8.7 中断查询

对于 XL2409 芯片，中断状态靠查询 STATUS 寄存器方式来获取。

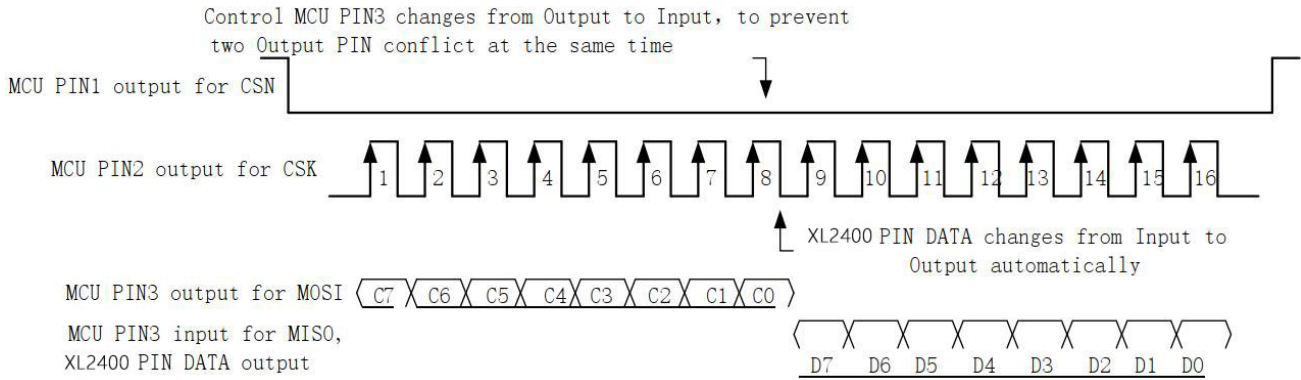
9 SPI 控制接口

如有读的命令操作（包括 R_REGISTER、R_RX_PAYLOAD、R_RX_PL_WID 三条命令），DATA 引脚先为输入状态，在 SCK 信号的第八个时钟下降沿自动切换为输出状态，并且在后续时钟上升沿输出信号；要求 MCU 的对应 DATA 引脚的 GPIO，在 SCK 信号的第八个时钟上升沿的保持时间后，从输出状态转为输入状态。

需要 CE_SEL 设为 1，启动命令方式控制；CE_L_sel 设为 1，将 CE 的 GPIO 弱下拉电阻使能；使用 CE_FSPI_ON/CE_FSPI_OFF 命令方式控制 CE 状态。

中断状态靠查询 STATUS 寄存器方式来获取。

在发送过程中，采用先在 STB1 或 STB3 状态下修改必要的寄存器，并写入 PAYLOAD；CE high 30us 后 CE low，使得进入发射模式，等待发送完成后（约 1ms）再进行 SPI 读写操作。如在发送过程中，进行 SPI 读写操作会引起电源纹波，影响发射信号的质量。



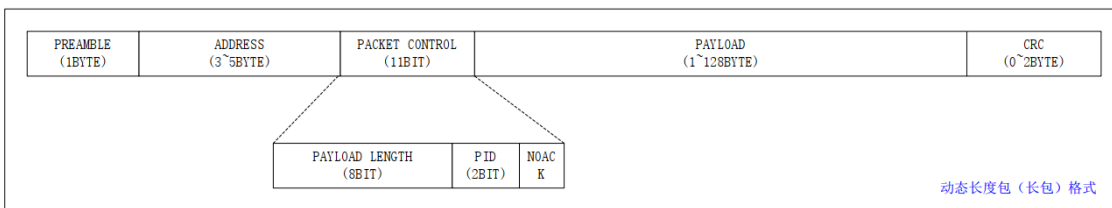
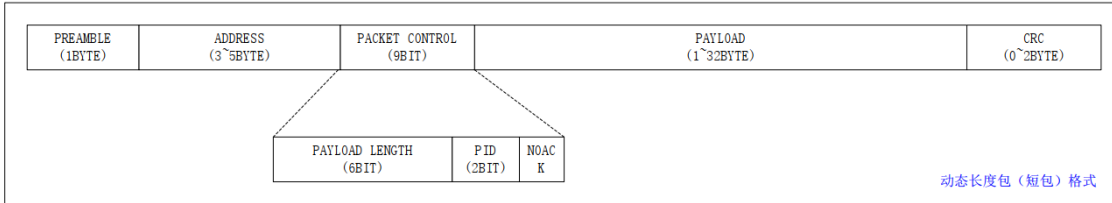
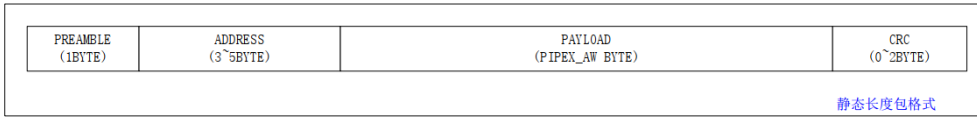
10 控制寄存器

可以通过 SPI 读写操作表中的寄存器，来配置和控制 XL2409 。

寄存器配置和说明请见《 XL2400P_Register Map_V1.1.xlsx 》。



11 数据包格式描述



如上图所示，系统支持 3 种包格式：

- 1.静态长度包。固定长度包，包长度由收发双方协商确定。
- 2.动态长度包（短包）格式，支持最大包长度为 32byte，该模式下系统可以最多缓存 4 个包。需使能 FEATURE 寄存器中的 EN_DPL。
- 3.动态长度包（长包）格式，支持最大包长度为 128byte。使用长包模式需要使能 FEATURE 寄存器中的 EN_DPL 和 EN_LONG_PLD，且该模式下系统只能缓存 1 个包

注：BLE 广播包配置会有点区别，我们会提供驱动程序包。

2.4G 接入地址注意事项：(2.4G 接入地址为 4 个字节长度，和 BLE 一样，接入地址可参考 BLE)

- 不超过 6 个连续的 1 或者 0。
- 不能 4 个字节完全相同。
- 高 6 位必须有超过 2 位以上的变化。
- 不能有超过 2 4 个“0”和“1”的转换。
- 前 3 个字节不能都为 0x55 或者 0xAA。尽量不要用 0x55 或者 0xAA。
- 不能和蓝牙广播包地址一样或者和广播包地址只差一位。广播包地址 0x8E89BED6。



12 处理器功能概述

12.1 Arm® Cortex®-M0+ 内核

Arm® Cortex®-M0+是一款为广泛的嵌入式应用设计的入门级32位Arm Cortex处理器。它为开发人员提供了显著的好处，包括：

- 结构简单，易于学习和编程
- 超低功耗，节能运行
- 精简的代码密度等

Cortex-M0+处理器是32位内核，面积和功耗优化高，为2级流水的冯诺伊曼架构。处理器通过精简但强大的指令集和广泛优化的设计，提供高端处理硬件，包含单周期乘法器，提供了32位架构计算机所期望的卓越性能，比其他8位和16位微控制器具有更高的代码密度。

Cortex-M0+与一个嵌套的矢量中断控制器(NVIC)紧密耦合。

12.2 存储器

片内集成SRAM。通过bytes (8bits)、half-word (16bits) 或者word (32bits) 的方式可访问SRAM。

片内集成Flash，包含两个不同的物理区域组成：

- Main flash区域，它包含应用程序和用户数据
- Information区域，4KBytes，它包括以下部分：
 - Option bytes
 - UID bytes
 - System memory



对Flash main memory的保护包括以下几种机制：

- read protection(RDP)，防止来自外部的访问。
- write protection (WRP) 控制，以防止不想要的写操作（由于程序存储器指针PC的混乱）。写

保护的最小保护单位为4Kbytes。

- Option byte写保护，专门的解锁设计。

12.3 时钟系统

CPU启动后默认系统时钟频率为HSI 8MHz，在程序运行后可以重新配置系统时钟频率和系统时钟源。可以选择的高频时钟有：

- 一个4/8/16/22.12/24MHz可配置的内部高精度HSI时钟。
- 一个32.768KHz可配置的内部LSI时钟。
- 4~32MHz HSE时钟，并且可以使能CSS功能检测HSE。如果CSS fail，硬件会自动转换系统时钟

为HSI，HSI频率由软件配置。同时CPU NMI中断产生。

AHB时钟可以基于系统时钟分频，APB时钟可以基于AHB时钟分频。AHB和APB时钟频率最高为32MHz。

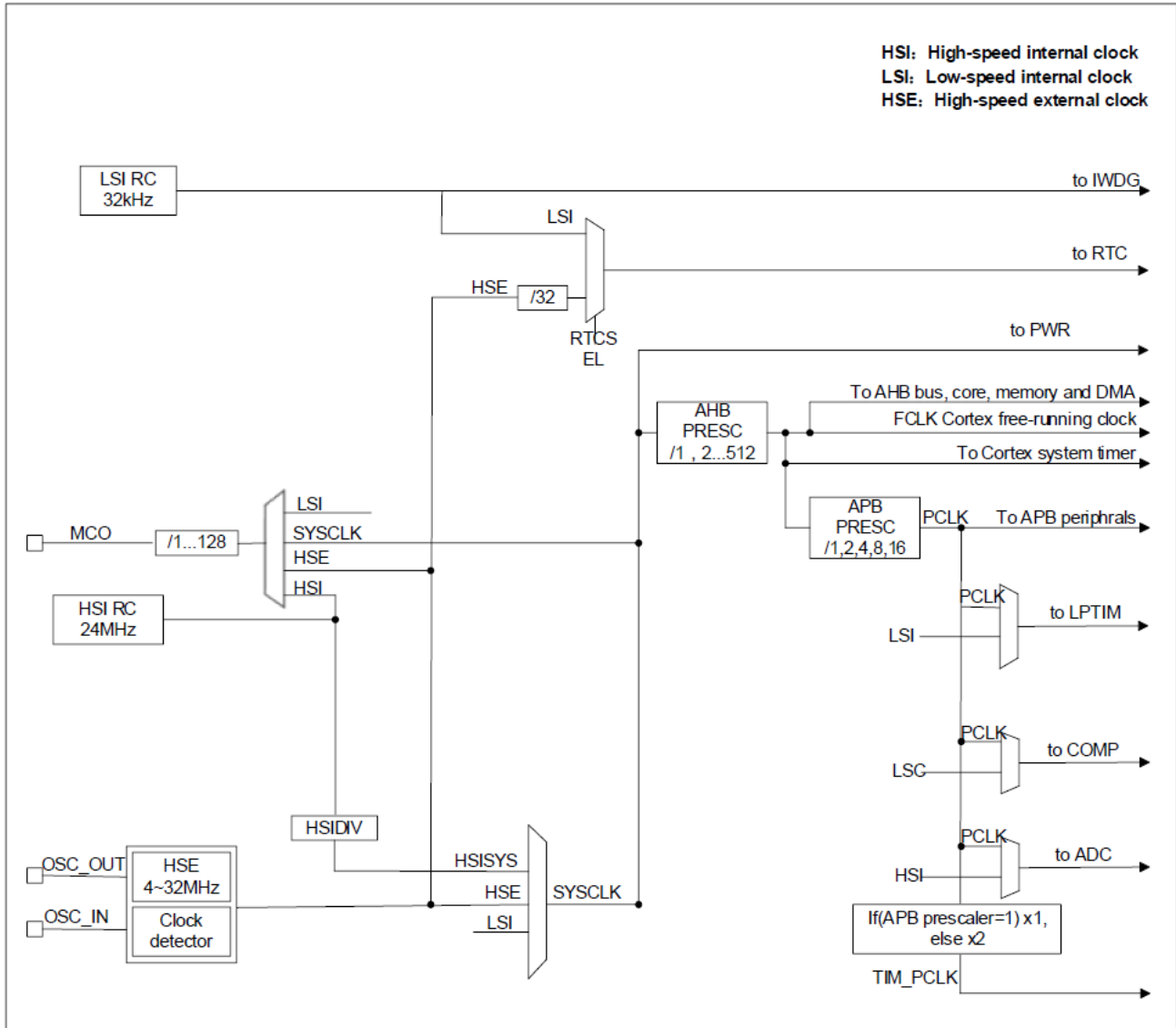
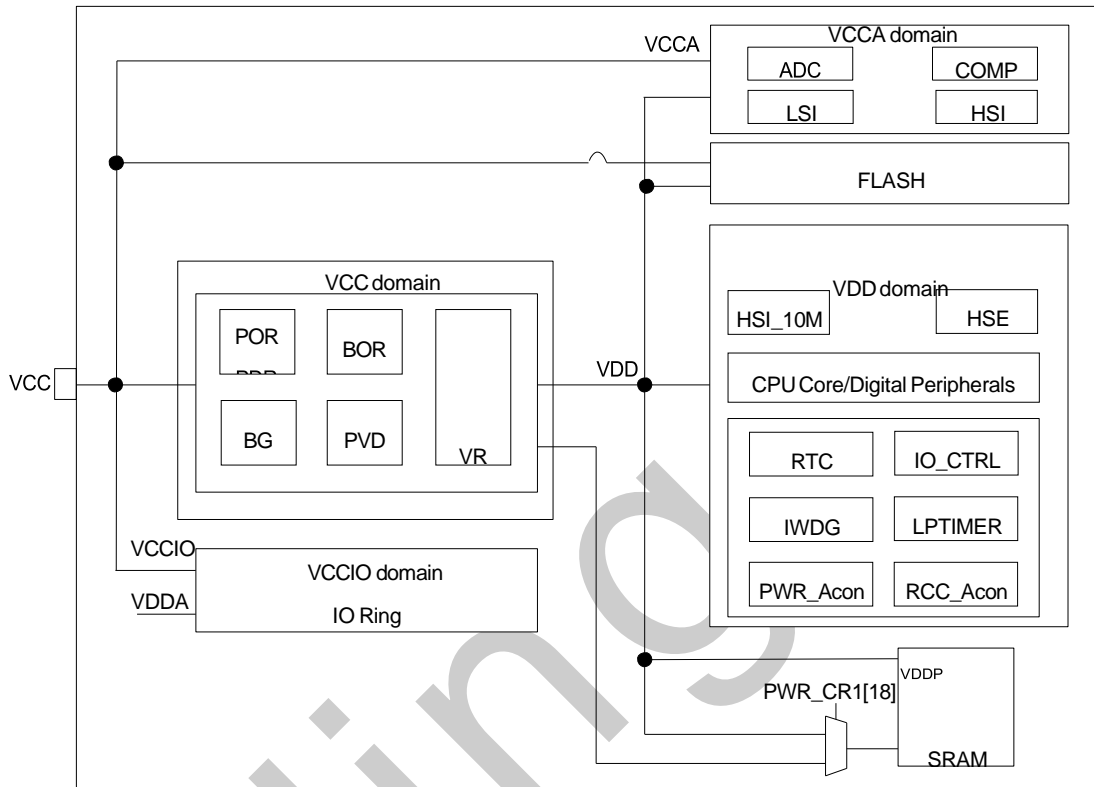


图 2-1 系统时钟结构图



12.4 电源管理

12.4.1 电源框图



电源框图

编号	电源	电源值	描述
1	VCC	1.7v~3.6v	通过电源管脚为芯片提供电源，其供电模块为：部分模拟电路。
2	VCCA	1.7v~3.6v	给大部分模拟模块供电，来自于VCCPAD（也可设计单独电源PAD）。
3	VCCIO	1.7v~3.6v	给IO供电，来自于VCC PAD
4	VDD	1.2v/1.0v±10%	来自于VR的输出，为芯片内部主要逻辑电路、SRAM供电。当MR供电时，输出1.2v。当进入stop模式时，根据软件配置，可以由MR或者LPR供电，并根据软件配置决定LPR输出是1.2v或者1.0v。



12.4.2 电源监控

12.4.2.1 上下电复位 (POR/PDR)

芯片内设计 Power on reset (POR) /Power down reset (PDR) 模块, 为芯片提供上电和下电复位。该模块在各种模式之下都保持工作。

12.4.2.2 欠压复位 (BOR)

除了 POR/PDR 外, 还实现了 BOR (brown out reset)。BOR 仅可以通过 option byte, 进行使能和关闭操作。

当 BOR 被打开时, BOR 的阈值可以通过 Option byte 进行选择, 且上升和下降检测点都可以被单独配置。

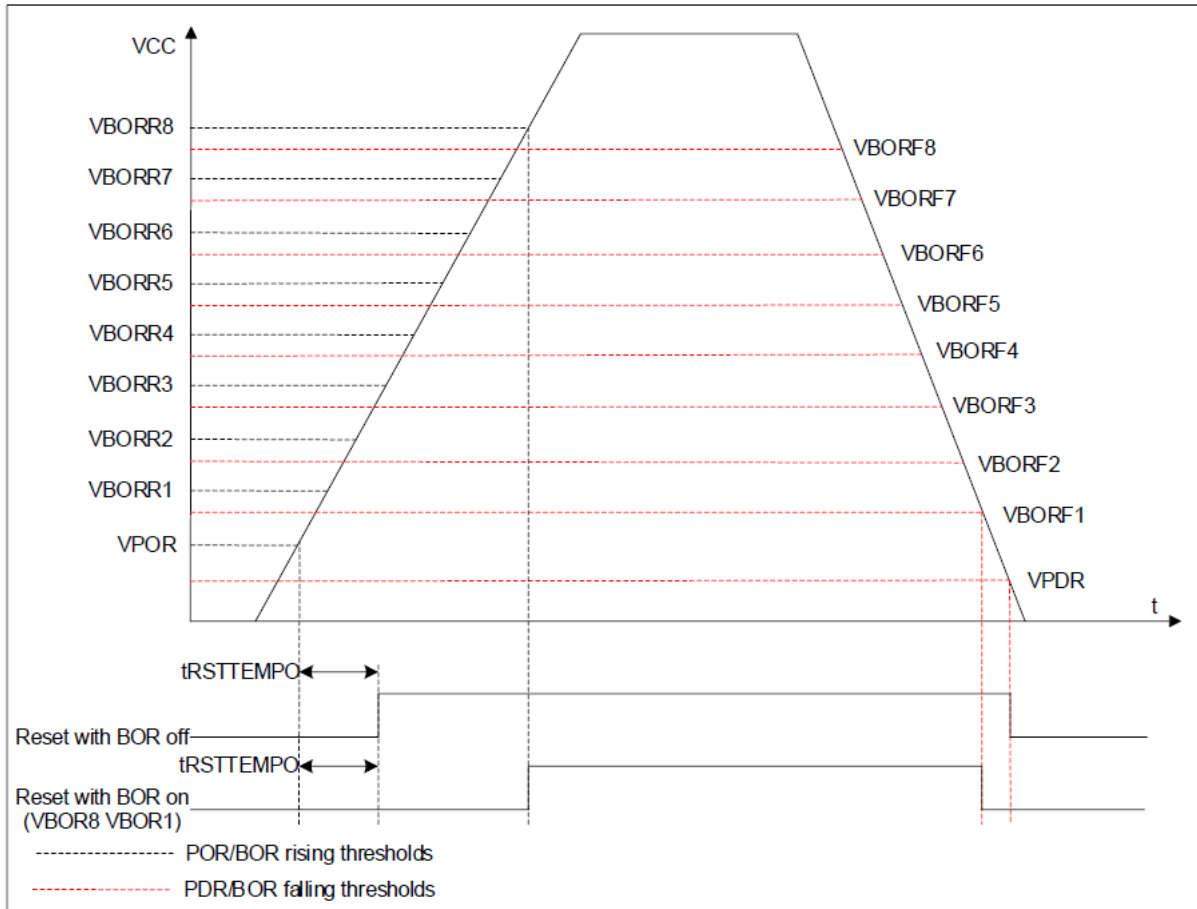


图 2-3 POR/PDR/BOR 阈值

12.4.2.3 电压检测测 (PVD)

Programmable Voltage detector (PVD) 模块可以用来检测VCC 电源（也可以检测PB7 引脚的电压），检测点可通过寄存器进行配置。当VCC 高于或者低于PVD 的检测点时，产生相应的复位标识。

该事件内部连接到EXTI 的line 16，取决于EXTI line 16 上升/下降沿配置，当VCC 上升超过PVD 的检测点，或者VCC 降低到PVD 的检测点以下，产生中断，在中断服务程序中用户可以进行紧急的shutdown 任务。



12.4.2.4 电压调节器

芯片设计两个电压调节器：

- MR (Main regulator) 在芯片正常运行状态时保持工作。
- LPR (low power regulator) 在 stop 模式下，提供更低功耗的选择。

12.4.2.5 低功耗模式

芯片在正常的运行模式之外，有 2 个低功耗模式：

- Sleep mode: CPU 时钟关闭 (NVIC, SysTick 等工作)，外设可以配置为保持工作。（建议只使能 必须工作的模块，在模块工作结束后关闭该模块）
- Stop mode: 该模式下 SRAM 和寄存器的内容保持，HSI 和 HSE 关闭，VDD 域下大部分模块的时钟 都被停掉。GPIO, PVD, COMP output, RTC 和 LPTIM 可以唤醒 stop 模式。

12.4.3 复位

芯片内设计两种复位，分别是：电源复位和系统复位。

2.6.1. 电源复位

电源复位在以下几种情况下产生：

- 上下电复位 (POR/PDR)
- 欠压复位 (BOR)

2.6.2. 系统复位

当产生以下事件时，产生系统复位：

NRST pin 的复位



- 窗口看门狗复位(WWDG)

- 独立看门狗复位(IWDG)

SYSRESETREQ 软件复位

option byte load 复位 (OBL)

电源复位 (POR/PDR、BOR)

12.4.4 通用输入输出 GPIO

每个 GPIO 都可以由软件配置为输出 (push-pull 或者 open drain) , 输入 (floating, pull-up/down, ana- log) , 外设复用功能, 锁定机制会冻结 I/O 口配置功能。

12.4.5 DMA

直接存储器存取(DMA)用来提供在外设和存储器之间或者存储器和存储器之间的高速数据传输。

DMA 控制器有 3 条 DMA 通道, 每条通道负责管理来自 1 个或者多个外设对存储器访问的请求。DMA 控制 器包括处理 DMA 请求的仲裁器, 用于处理各个 DMA 请求的优先级。

DMA 支持循环的缓冲器管理, 消除了当控制器到达缓冲器末端时需要干预用户代码。每个通道都直接连接专用的硬件 DMA 请求, 每个通道都同样支持软件触发。这些功能通过软件来配置。

DMA 可用于主要外设:SPI, I2C, USART, 所有 TIMx 计时器(除了 TIM14 和 LPTIM)和 ADC。

12.4.6 中断

XL2409 通过 Cortex-M0+处理器内嵌的矢量中断控制器(NVIC)和一个扩展中断/事件控制器 (EXTI)来处理 异常。



12.4.6.1 中断控制器 NVIC

NVIC 是 Cortex-M0+处理器内部紧耦合 IP。NVIC 可以处理来自处理器外部的 NMI（不可屏蔽中断）和可屏蔽外部中断，以及 Cortex-M0+内部异常。NVIC 提供了灵活的优先级管理。

处理器核心与 NVIC 的紧密耦合大大减少了中断事件和相应中断服务例程(ISR)启动之间的延迟。

ISR 向量列在一个向量表中，存储在 NVIC 的一个基地地址。要执行的 ISR 的向量地址是由向量表基址和用作偏移量的 ISR 序号组成的。

如果高优先级的中断事件发生，而低优先级的中断事件刚好在等待响应，稍后到达的高优先级的中断事件将首先被响应。另一种优化称为尾链（tail-chaining）。当从一个高优先级的 ISR 返回时，然后启动一个挂起的低优先级的 ISR，将跳过不必要的处理器上下文的压栈和弹栈。这减少了延迟，提高了电源效率。

NVIC 特性：

- 低延时中断处理
- 4 级中断优先级
- 支持 1 个 NMI 中断
- 支持 32 个可屏蔽外部中断
- 支持 10 个 Cortex-M0+异常
- 高优先级中断可打断低优先级中断响应

支持尾链(tail-chaining)优化

- 硬件中断向量检索

12.4.6.2 扩展中断 EXTI

EXTI 增加了处理物理线事件的灵活性，并在处理器从 stop 模式唤醒时产生唤醒事件。



EXTI 控制器有多个通道，包括最多 16 个 GPIO，1 个 PVD 输出，2 个 COMP 输出，以及 RTC 和 LPTIM 唤醒信号。其中 GPIO，PVD，COMP 可以配置上升沿、下降沿或双沿触发。任何 GPIO 信号通过选择信号配置为 EXTI0~15 通道。

每个 EXTI line 都可以通过寄存器独立屏蔽。

EXTI 控制器可以捕获比内部时钟周期短的脉冲。

EXTI 控制器中的寄存器锁存每个事件，即使是在 stop 模式下，处理器从停止模式唤醒后也能识别唤醒的来源，或者识别引起中断的 GPIO 和事件。

12.4.7 模数转换器 ADC

芯片具有 1 个 12 位的 SARADC。该模块共有最多 10 个要被测量的通道，包括 8 个外部通道和 2 个内部通道。

各通道的转换模式可以设定为单次、连续、扫描、不连续模式。转换结果存储在左对齐或者右对齐的 16 位数据寄存器中。

模拟 watchdog 允许应用检测是否输入电压超出了用户定义的高或者低阈值。

ADC 实现了在低频率下运行，可获得很低的功耗。

在采样结束，转换结束，连续转换结束，模拟 watchdog 时转换电压超出阈值时产生中断请求。

12.4.8 比较器(COMP)

芯片内集成通用比较器 (general purpose comparators) COMP，也可以与 timer 组合在一起使用。比较器 可以被如下使用：



- 被模拟信号触发，产生低功耗模式唤醒功能

- 模拟信号调节

当与来自 timer 的 PWM 输出连接时，Cycle by cycle 的电流控制回路

COMP 主要特性

- 每个比较器有可配置的正或者负输入，以实现灵活的电压选择

多路 I/O pin

电源 VCC

> 温度传感器的输出

> 内部参考电压和通过分压提供的 3 个分数值 (1/4、1/2、3/4)

- 迟滞功能可配置

- 可编程的速度和功耗

- 输出可以被连接到 I/O 或者 timer 的输入作为触发

OCREF_CLR 事件 (cycle by cycle 的电流控制)

为快速 PWM shutdown 的刹车

每个 COMP 具有中断产生能力，用作芯片从低功耗模式 (sleep 和 stop 模式) 的唤醒 (通过

EXTI)

12.4.9 定时器

PY32F003 不同定时器的特性如下表所示：



表 2-3 定时器特性

类型	Timer	位宽	计数方向	预分频	DMA	捕获/比较通道	互补输出
高级定时器	TIM1	16 位	上, 下, 中央 对齐	1~65536	支持	4	3
通用定时器	TIM3	16-位	上, 下, 中央 对齐	1~65536	支持	4	-
	TIM14	16-位	上	1~65536	-	1	-
	TIM16,TIM17	16-位	上	1~65536	支持	1	1

12.4.9.1 高级定时器

高级定时器 (TIM1) 由 16 位被可编程分频器驱动的自动装载计数器组成。它可以被用作各种场景, 包括: 输入信号 (输入捕获) 的脉冲长度测量, 或者产生输出波形 (输出比较、输出、PWM、带死区插入的互补 PWM)。

TIM1 包括 4 个独立通道, 用作:

- 输入捕获
- 输出比较
- PWM 产生 (边缘或者中心对齐模式)
- 单脉冲模式输出

如果 TIM1 配置为标准的 16 位计时器, 则它具有与 TIMx 计时器相同的特性。如果配置为 16 位 PWM 发生器, 则具有全调制能力(0-100%)。

在 MCU debug 模式, TIM1 可以冻结计数。

具有相同架构的 timer 特性共享, 因此 TIM1 可以通过计时器链接功能与其他计时器一起工作,



以实现同步 或事件链接。

TIM1 支持 DMA 功能。

12.4.9.2 通用定时器

■ TIM3

TIM3 通用定时器是由 16 位可编程分频器驱动的 16 位自动重载计数器构成。具有 4 个独立的通道，每个 用于输入捕获/输出比较，PWM 或者单脉冲模式输出。

TIM3 可以通过计时器链接功能与 TIM1 一起工作. TIM3 支持 DMA 功能。

TIM3 能够处理正交(增量)编码器信号和数字输出从 1 到 3 霍尔效应传感器。在 MCU debug 模式，TIM3 可以冻结计数。

■ TIM14

通用定时器 TIM14 由可编程预分频器驱动的 16 位自动装载计数器构成。

TIM14 具有 1 个独立通道用于输入捕获/输出比较，PWM 或者单脉冲模式输出。在 MCU debug 模式，TIM14 可以冻结计数。

TIM16/TIM17

TIM16 和 TIM17 由可编程预分频器驱动的 16 位自动装载计数器构成。

TIM16/TIM17 具有 1 个独立通道用于输入捕获/输出比较，PWM 或者单脉冲模式输出。

TIM16/TIM17 具有带死区的互补输出。

TIM16/TIM17 支持 DMA 功能。

在 MCU debug 模式，TIM16/TIM17 可以冻结计数。

12.4.9.3 低功耗定时器

LPTIM 为 16 位向上计数器，包含 3 位预分频器。只支持单次计数。



LPTIM 可以配置为 stop 模式唤醒源。

在 MCU debug 模式，LPTIM 可以冻结计数值。

■ IWDG

芯片内集成了一个 Independent watchdog (简称 IWDG) , 该模块具有高安全级别、时序精确及灵活使用的特点。IWDG 发现并解决由于软件失效造成的功能混乱, 并在计数器达到指定的 timeout 值时触发系统复位。

IWDG 由 LSI 提供时钟, 这样即使主时钟 Fail, 也能保持工作。

IWDG 最适合需要 watchdog 作为主应用之外的独立过程, 并且无很高的时序准确度限制的应用。通过 option byte 的控制, 可以使能 IWDG 硬件模式。

IWDG 是 stop 模式的唤醒源, 以复位的方式唤醒 stop 模式。在 MCU debug 模式, IWDG 可以冻结计数值。

■ WWDG

系统窗口看门狗是基于一个 7 位的下行计数器, 可以设置为自由运行。当出现问题时, 它可以作为一个看门狗来复位系统。计数时钟为 APB 时钟(PCLK)。它具有预警中断能力, 计数器可以在 MCU debug 模式下被冻结。

System timer

System timer 计数器专门用于实时操作系统 (RTOS) , 但也可以用作标准的向下计数器。

System timer 特性:

- 24bit 向下计数
- 自装载能力
- 计数器记到 0 时可产生中断 (可屏蔽)



12.4.10 实时时钟 RTC

实时时钟是一个独立的定时器。RTC 模块拥有一组连续计数的计数器，在相应软件配置下，可提供时钟日历的功能。修改计数器的值可以重新设置系统当前的时间和日期。

RTC 为预分频系数最高为 220 的 32 位可编程计数器。RTC 计数器时钟源可以为 LSI，可以作为 stop 唤醒源。RTC 可以产生闹钟中断，秒中断和溢出中断（可屏蔽）。RTC 支持时钟 calibration。

在 MCU debug 模式，RTC 可以冻结计数。

12.4.11 I2C 接口

I2C(inter-integrated circuit)总线接口连接微控制器和串行 I2C 总线。它提供多主机功能，控制所有 I2C 总线特定的顺序、协议、仲裁和时序。支持标准 (Sm)、快速 (Fm)。

I2C 特性：

Slave 和 master 模式

- 多主机功能：可以做 master，也可以做 slave

- 支持不同通讯速度

- 标准模式 (Sm)：高达 100kHz

- 快速模式 (Fm)：高达 400kHz

作为 Master

产生 Clock

Start 和 Stop 的产生

作为 slave

- 可编程的 I2C 地址检测



Stop 位的发现

- 7 位寻址模式

通用广播 (General call)

- 状态标志位

➤ 发送/接收模式标志位

➤ 字节传输完成标志位

I2C busy 标志位

- 错误标志位

Master arbitration loss

地址/数据传输后的 ACK failure

Start/Stop 错误

Overrun/Underrun(时钟拉长功能 disable)

- 可选的时钟拉长功能

具备 DMA 能力的单字节 buffer

- 软件复位

- 模拟噪声滤波功能

12.4.12 通用同步异步收发器 USART

XL2409 包含2个USART, 2个功能完全一致。通用同步异步收发器(USART)提供了一种灵活的方法与使用工业标准NRZ异步串行数据格式的外部设备之

间进行全双工数据交换。USART利用分数波特率发生器提供宽范围的波特率选择。

它支持同步单向通信和半双工单线通信, 它还允许多处理器通信。支持自动波特率检测。使用多



缓冲器配置的DMA方式，可以实现高速数据通信。 USART特性：

- 全双工异步通信
- NRZ 标准格式
- 可配置 16 倍或者 8 倍过采样，增加在速度和时钟容忍度的灵活性
- 发送和接收共用的可编程波特率，最高达 4.5Mbit/s
- 自动波特率检测
- 可编程的数据长度 8 位或者 9 位
- 可配置的停止位（1 或者 2 位）
- 同步模式和为同步通讯的时钟输出功能
- 单线半双工通讯
- 独立的发送和接收使能位
- 硬件流控制
- 通过 DMA 缓冲接收/发送字节
- 检测标志
 - 接收 buffer 满
 - 发送 buffer 空
 - 传输结束
- 奇偶校验控制
 - 发送校验位
 - 对接收数据进行校验
- 带标志的中断源
 - CTS 改变
 - 发送寄存器空



- 发送完成
- 接收数据寄存器满
- 检测到总线空闲
- 溢出错误
- 帧错误
- 噪音操作
- 检测错误
- 多处理器通信
 - 如果地址不匹配，则进入静默模式
- 从静默模式唤醒：通过空闲检测和地址标志检测

12.4.13 串行外设接口 SPI

XL2409 包含1个SPI。

串行外设接口(SPI)允许芯片与外部设备以半双工、全双工、单工同步的串行方式通信。此接口可以被配置 成主模式，并为外部从设备提供通信时钟(SCK)。接口还能以多主配置方式工作。

SPI特性如下：

Master 或者 slave 模式

- 3 线全双工同步传输
- 2 线半双工同步传输（有双向数据线）
- 2 线单工同步传输（无双向数据线）
- 8 位或者 16 位传输帧选择
- 支持多主模式



- 8 个主模式波特率预分频系数（最大为 $f_{PCLK}/4$ ）
- 从模式频率（最大为 $f_{PCLK}/4$ ）
- 主模式和从模式下均可以由软件或硬件进行 NSS 管理：主/从操作模式的动态改变
- 可编程的时钟极性和相位
- 可编程的数据顺序，MSB 在前或 LSB 在前
- 可触发中断的专用发送和接收标志
- SPI 总线忙状态标志

Motorola 模式

- 可引起中断的主模式故障、过载
- 2 个具备 DMA 能力的 32bit Rx 和 Tx FIFOs

13 典型应用电路

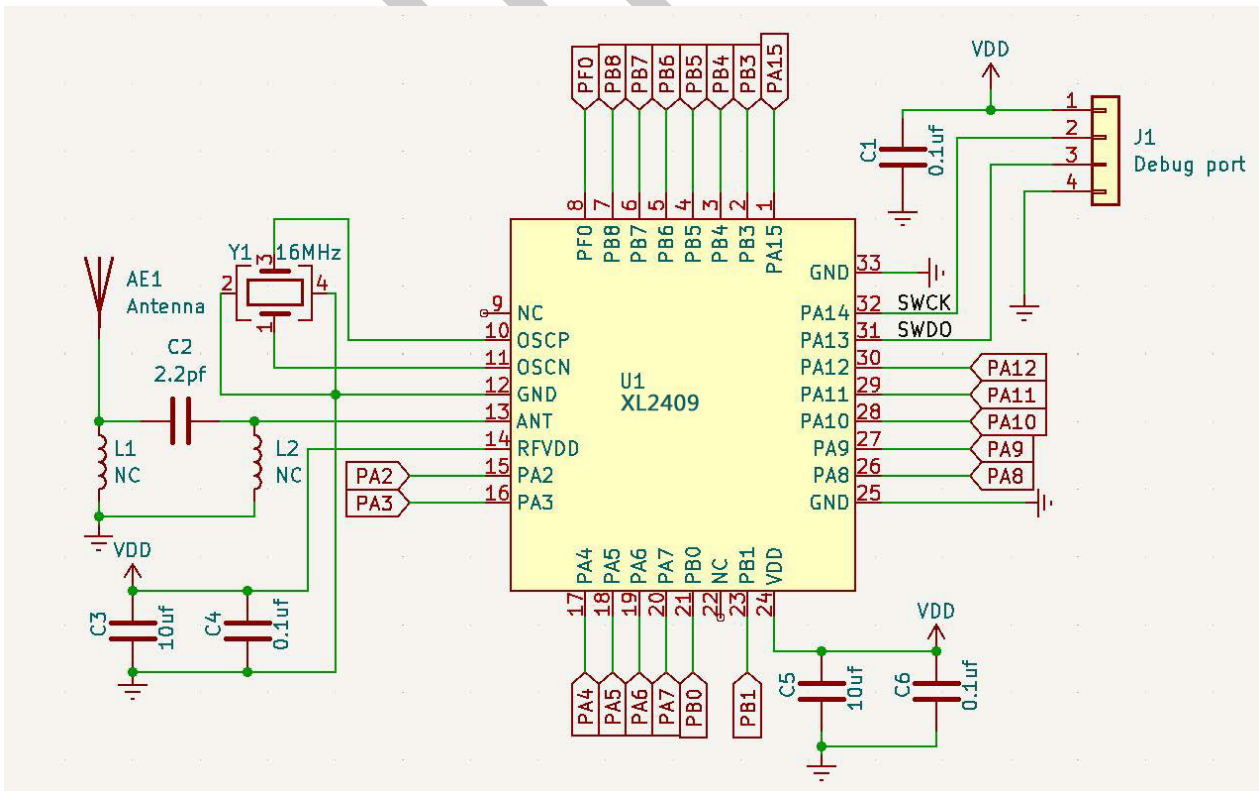
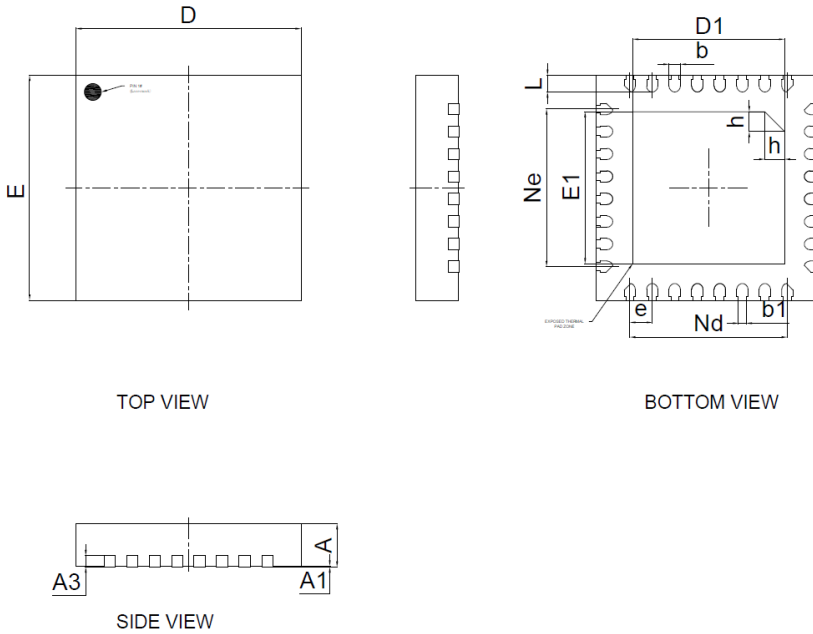


图12.1 典型应用电路



14 封装信息

QFN32 封装



COMMON DIMENSION & TOLERANCE			
SYMBOL	ALL DIMENSION IN MILLIMETERS		
	MINIMUM	MOINAL	MAXIMUM
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
b	0.15	0.20	0.25
b1	0.140REF		
c	0.18	0.20	0.25
D	3.90	4.00	4.10
D1	2.70	2.80	2.90
e	0.40BSC		
Ne	2.80BSC		
Nd	2.80BSC		
E	3.90	4.00	4.10
E1	2.70	2.80	2.90
L	0.25	0.30	0.35
h	0.30	0.35	0.40
L/F载体尺寸	122X122		